

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshiaki ASAO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MAGNETIC RANDOM ACCESS MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-088413	March 27, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月27日

出 願 番 号

Application Number:

特願2003-088413

[ST.10/C]:

[JP2003-088413]

出 願 人

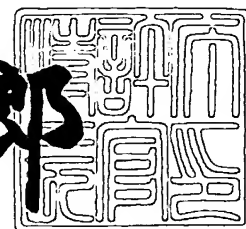
Applicant(s):

株式会社東芝

2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028154

【書類名】 特許願

【整理番号】 A000205972

【提出日】 平成15年 3月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/15

【発明の名称】 磁気ランダムアクセスメモリ

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 浅尾 吉昭

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 與田 博明

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

【氏名】 天野 実

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

【氏名】 上田 知正

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気ランダムアクセスメモリ

【特許請求の範囲】

【請求項 1】 直交方向に交差するように配置された第 1 の配線および第 2 の配線と、

前記第 1、第 2 の配線の交点に対応して配置され、磁性膜からなる固定層と自由層との間に非磁性層が挟まれた構造によってトンネル磁気抵抗効果を有し、長方形の長辺が前記第 2 の配線に沿い、短辺が前記第 1 の配線に沿い、長辺方向に沿うようにスピン方向が付与され、長辺軸を中心として短辺方向の中央部が上に凸となるように弯曲したトンネル磁気抵抗素子と、

前記トンネル磁気抵抗素子の弯曲外面を覆うように形成された導電性のハードマスクと、

前記ハードマスクと前記第 1 の配線とを電氣的に接続する導電性のコンタクトと、

前記トンネル磁気抵抗素子の弯曲内面に接する接続用配線と、

前記接続用配線と前記第 2 の配線との間に介在する層間絶縁膜

とを具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項 2】 前記ハードマスクの材質はタンタルであることを特徴とする請求項 1 記載の磁気ランダムアクセスメモリ。

【請求項 3】 前記層間絶縁膜は、前記トンネル磁気抵抗素子の弯曲内面に対向する部分がそれに連なる他の部分よりも突出していることを特徴とする請求項 1 または 2 記載の磁気ランダムアクセスメモリ。

【請求項 4】 前記トンネル磁気抵抗素子の弯曲状態の短辺の両先端間の弦の長さよりも前記第 2 の配線の幅の方が狭いことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の磁気ランダムアクセスメモリ。

【請求項 5】 前記トンネル磁気抵抗素子は、半導体基板上で複数の第 1 の配線と複数の第 2 の配線がそれぞれ交差する各交点に対応してアレイ状に配置されており、

前記第 1 の配線は書き込み／読み出し用のビット線であり、前記第 2 の配線は

書き込みワード線であることを特徴とする請求項 3 または 4 記載の磁気ランダムアクセスメモリ。

【請求項 6】 前記接続用配線を介して前記トンネル磁気抵抗素子に直列に電氣的に接続され、前記半導体基板に形成されたドレイン・ソース領域を有する読み出しスイッチ用トランジスタをさらに具備することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の磁気ランダムアクセスメモリ。

【請求項 7】 直交方向に交差するように配置された第 1 の配線および第 2 の配線と、

前記第 1、第 2 の配線の交点に対応して配置され、磁性膜からなる固定層と自由層との間に非磁性層が挟まれた構造によってトンネル磁気抵抗効果を有し、長方形の長辺が前記第 2 の配線に沿い、短辺が前記第 1 の配線に沿い、長辺方向に沿うようにスピン方向が付与され、短辺軸を中心として長辺方向の中央部が下に凸となるように弯曲したトンネル磁気抵抗素子と、

前記トンネル磁気抵抗素子の弯曲内面を覆うように形成された導電性のハードマスクと、

前記ハードマスクと前記第 1 の配線とを電氣的に接続する導電性のコンタクトと、

前記トンネル磁気抵抗素子の弯曲外面に接する接続用配線と、

前記接続用配線と前記第 2 の配線との間に介在する層間絶縁膜

とを具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項 8】 前記ハードマスクの材質はタンタルであることを特徴とする請求項 7 記載の磁気ランダムアクセスメモリ。

【請求項 9】 前記層間絶縁膜は、前記トンネル磁気抵抗素子の弯曲外面に対向する部分がそれに連なる他の部分よりも凹没していることを特徴とする請求項 7 または 8 記載の磁気ランダムアクセスメモリ。

【請求項 10】 前記トンネル磁気抵抗素子の弯曲状態の長辺の両先端間の弦の長さよりも前記第 1 の配線の幅の方が狭いことを特徴とする請求項 7 至 9 のいずれか 1 項に記載の磁気ランダムアクセスメモリ。

【請求項 11】 前記トンネル磁気抵抗素子は、複数の第 1 の配線と複数の

第 2 の配線がそれぞれ交差する各交点に対応してアレイ状に配置されており、

前記第 1 の配線はビット線であり、前記第 2 の配線は書き込みワード線であることを特徴とする請求項 9 または 1 0 記載の磁気ランダムアクセスメモリ。

【請求項 1 2】 前記接続用配線を介して前記トンネル磁気抵抗素子に直列に電氣的に接続され、前記半導体基板に形成されたドレイン・ソース領域を有する読み出しスイッチ用トランジスタをさらに具備することを特徴とする請求項 7 乃至 1 1 のいずれか 1 項に記載の磁気ランダムアクセスメモリ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、磁気ランダムアクセスメモリ (Magnetic Random Access Memory; MRAM) に係り、特にトンネル型磁気抵抗効果により "1"/"0" 情報の記憶を行う素子を利用して構成した磁気メモリセルを行列状に配置した MRAM におけるメモリセルの構造に関する。

【0 0 0 2】

【従来の技術】

近年、新たな原理により情報を記憶するメモリが数多く提案されているが、そのうちの一つに、トンネル型磁気抵抗 (Tunneling Magneto Resistive: 以後、TMR と表記する) 効果を用いて "1"/"0" 情報の記憶を行う強磁性トンネル接合 (Magnetic Tunnel Junction; MTJ) 素子を利用して構成した磁気メモリセルを行列状に配置した MRAM が提案されている (例えば、非特許文献 1 参照)。

【0 0 0 3】

図 8 は、従来の MRAM で用いられる MTJ 素子の断面構造を概略的に示す。

【0 0 0 4】

この MTJ 素子は、2 つの磁性層 (強磁性層、強磁性体膜) 71, 72 で 1 つの非磁性層 (トンネルバリア膜) 73 を挟んだ構造を有し、2 つの磁性層 71, 72 のスピンの向きが平行であるか反平行であるかによって "1" / "0" 情報を記憶する。

【0 0 0 5】

通常、2 つの磁性層 71, 72 の一方側には反強磁性層 74 が配置される。反強磁性

層74は、一方側の磁性層72のスピンの向きを固定することによって、他方側の磁性層71のスピンの向きのみを変えることにより情報を容易に書き換えるための部材である。ここで、スピン可変側の磁性層71は自由層（または記録層）、スピン固定側の磁性層72は固定層（またはピン層）と呼ばれる。

【0006】

図9（a）および（b）は、図8に示したMTJ素子の2つの磁性層71,72のスピンの向きを示している。

【0007】

図9（a）に示すように、2つの磁性層71,72のスピンの向き（図示矢印の向き）が平行（同じ）である場合は、2つの磁性層71,72に挟まれた絶縁層73のトンネル抵抗は最も低くなる（トンネル電流が最も大きくなる）。

【0008】

図9（b）に示すように、2つの磁性層71,72のスピンの向きが反平行である場合は、2つの磁性層71,72に挟まれた絶縁層73のトンネル抵抗は最も高くなる（トンネル電流が最も小さくなる）。

【0009】

MRAMでは、MTJ素子の抵抗値が異なる2つの状態を、“1”情報の記憶状態（“1”状態）および“0”情報の記憶状態（“0”状態）に対応させている。

【0010】

図10は、MRAMのセルアレイの一部の平面的なレイアウトの一例を模式的に示す図である。

【0011】

複数の書き込み／読み出し用のビット線BLと複数の書き込みワード線WWLが直交方向に配設され、その各交点に対応してMTJ素子が配設される。このMTJ素子は、長方形の長辺が書き込みワード線WWLに沿い、短辺がビット線BLに沿い、長辺方向に沿うようにスピン方向が付与されている。

【0012】

各ビット線BLは、同一行（または列）の複数のMTJ素子の各固定層に接続されており、各書き込みワード線WWLは同一列（または行）の複数のMTJ素子の各自

由層に近接して対向するように配置されている。

【 0 0 1 3 】

図 1 1 は、図 1 0 中の A - A 線に沿って書き込みワード線に垂直な断面におけるメモリセルの 1 個分に着目して構造の一例を示す断面図である。

【 0 0 1 4 】

図 1 2 は、図 1 0 中の B - B 線に沿ってビット線に垂直な断面における構造の一例を示す断面図である。

【 0 0 1 5 】

図 1 1 および図 1 2 において、10は半導体基板（例えばP 型Si基板）、11はシャロウトレンチ型の素子分離領域(STI)、12はゲート酸化膜、13はスイッチ素子用のNMOSFET のドレイン領域またはソース領域となる不純物拡散層(N+)、14はゲート電極GC（読み出しワード線RWL）、15は第 1 金属配線層(M1)、16は第 2 金属配線層(M2)、17は第 3 金属配線層(M3)からなるMTJ 接続用配線、18は第 1 金属配線層15を拡散層13へ電氣的に接続するための導電性のコンタクト、19は第 2 金属配線層16から第 1 金属配線層15へ電氣的に接続するための導電性のコンタクト、20は第 3 金属配線層17から第 2 金属配線層16へ電氣的に接続するための導電性のコンタクト、21はMTJ 素子、22は第 4 配線層(M4)、23は第 4 金属配線層22をMTJ 素子21へ電氣的に接続するための導電性のコンタクト、24は層間絶縁膜である。

【 0 0 1 6 】

なお、図中、配線の用途として、(BL)は書き込み／読み出し用のビット線、(WL)は書き込みワード線、(SL)はソース線、(RWL)は読み出しワード線を表わしており、ソース線(SL)は接地電位に接続される。

【 0 0 1 7 】

次に、図 1 0 乃至図 1 2 を参照してMTJ 素子に対する書き込み動作原理を説明する。

【 0 0 1 8 】

MTJ 素子に対する書き込みは、書き込みワード線WWL およびビット線（データ選択線）BLに電流を流し、両配線に流れる電流により作られる磁界を用いてMTJ 素子のスピンの向きを平行または反平行にすることにより達成される。

【 0 0 1 9 】

即ち、MTJ 素子へ情報を書き込む時には、ビット線BLには書き込みデータに応じて第1の方向またはそれとは逆の第2の方向に向かう電流を流して磁界H_xを発生させ、書き込みワード線WWL には第1の方向に向かう電流のみを流して磁界H_yを発生させることにより、合成磁界を用いて情報を書き込む。この際、ビット線BLに第1の方向に向かう電流を流すと、MTJ 素子のスピンの向きは平行となり、ビット線BLに第2の方向に向かう電流を流すと、MTJ 素子のスピンの向きは反平行となる。

【 0 0 2 0 】

MTJ 素子から情報を読み出す時には、読み出しワード線RWL を活性化させ、選択されたMTJ 素子に接続されるスイッチ素子のみをオン状態として電流経路を作り、選択されたビット線BLから接地電位へ電流を流す。その結果、選択されたMTJ 素子だけにその抵抗値に応じた電流が流れるので、その電流値を検出することにより情報を読み出すことができる。

【 0 0 2 1 】

次に、MTJ 素子のスピンの向きが変わる仕組みについて簡単に説明する。

【 0 0 2 2 】

図13は、MTJ 素子の印加磁界の反転による抵抗値の変化特性（TMR 曲線）を示している。

【 0 0 2 3 】

図14は、MTJ 素子のアステロイド曲線を示している。

【 0 0 2 4 】

図13に示すTMR 曲線のように、MTJ 素子の長辺（Easy-Axis、容易軸）方向に磁界H_xをかけると、MTJ 素子の抵抗値は例えば17%程度変化する。この変化率（変化の前後の抵抗の比）は、MR比と呼ばれる。なお、MR比は、MTJ 素子の磁性層の性質により変化する。現在では、MR比が50%程度のMTJ 素子も得られている。

【 0 0 2 5 】

MTJ 素子には、Easy-Axis 方向の磁界H_xとHard-Axis（困難軸）方向の磁界H_y

との合成磁界が印加される。図13中の実線および点線に示すように、Hard-Axis 方向の磁界 H_y の大きさによって、MTJ 素子の抵抗値を変えるために必要なEasy-Axis 方向の磁界 H_x の大きさも変化する。

【0026】

この現象を利用することにより、アレイ状に配置されるメモリセルのうち、選択された書き込みワード線WWL および選択されたビット線BLの交点に対応して配置されているMTJ 素子のみにデータを書き込むことができる。この様子を図14に示すアステロイド曲線を用いて説明する。

【0027】

図14中に示すように、Easy-Axis 方向の磁界 H_x とHard-Axis 方向の磁界 H_y との合成磁界の大きさがアステロイド曲線の外側（例えば、黒丸の位置）にあれば、MTJ 素子の磁性層のスピンを反転させることができる。

【0028】

逆に、Easy-Axis 方向の磁界 H_x とHard-Axis 方向の磁界 H_y との合成磁界の大きさがアステロイド曲線の内側（例えば、白丸の位置）にある場合には、MTJ 素子の磁性層のスピンを反転させることはできない。

【0029】

従って、Easy-Axis 方向の磁界 H_x とHard-Axis 方向の磁界 H_y との合成磁界の大きさを変え、合成磁界の大きさの H_x - H_y 平面内における位置を変えることにより、MTJ 素子に対するデータの書き込みを制御できる。

【0030】

ところで、書き込みワード線WWL とMTJ 素子との間の距離が書き込みビット線とMTJ 素子との間の距離よりも長く、書き込みワード線により多くの電流を流さなければならない。この書き込みワード線WWL から発生した磁界は、ループ状の曲線に沿って分布しており、従来は、MTJ 素子の自由層の中心部と端部で印加される磁界強度が異なっており、反転磁界に起因して書き込み電流が大きくなり、実用化の課題となっている。

【0031】

【非特許文献1】

Roy Scheuerlein et.al."A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell",ISS CC2000 Technical Digest pp.128～pp.129

【 0 0 3 2 】

【発明が解決しようとする課題】

上記したように従来のMRAMは、書き込み電流が大きい点が実用化上の課題となっている。

【 0 0 3 3 】

本発明は上記の問題点を解決すべくなされたもので、書き込み電流を低減し得る磁気ランダムアクセスメモリを提供することを目的とする。

【 0 0 3 4 】

【課題を解決するための手段】

本発明の第1の態様に係る磁気ランダムアクセスメモリは、直交方向に交差するように配置された第1の配線および第2の配線と、前記第1、第2の配線の交点に対応して配置され、磁性膜からなる固定層と自由層との間に非磁性層が挟まれた構造によってトンネル磁気抵抗効果を有し、長方形の長辺が前記第2の配線に沿い、短辺が前記第1の配線に沿い、長辺方向に沿うようにスピン方向が付与され、長辺軸を中心として短辺方向の中央部が上に凸となるように弯曲したトンネル磁気抵抗素子と、前記トンネル磁気抵抗素子の弯曲外面を覆うように形成された導電性のハードマスクと、前記ハードマスクと前記第1の配線とを電氣的に接続する導電性のコンタクトと、前記トンネル磁気抵抗素子の弯曲内面に接する接続用配線と、前記接続用配線と前記第2の配線との間に介在する層間絶縁膜とを具備することを特徴とする。

【 0 0 3 5 】

本発明の第2の態様に係る磁気ランダムアクセスメモリは、直交方向に交差するように配置された第1の配線および第2の配線と、前記第1、第2の配線の交点に対応して配置され、磁性膜からなる固定層と自由層との間に非磁性層が挟まれた構造によってトンネル磁気抵抗効果を有し、長方形の長辺が前記第2の配線に沿い、短辺が前記第1の配線に沿い、長辺方向に沿うようにスピン方向が付与

され、短辺軸を中心として長辺方向の中央部が下に凸となるように弯曲したトンネル磁気抵抗素子と、前記トンネル磁気抵抗素子の弯曲内面を覆うように形成された導電性のハードマスクと、前記ハードマスクと前記第 1 の配線とを電氣的に接続する導電性のコンタクトと、前記トンネル磁気抵抗素子の弯曲外面に接する接続用配線と、前記接続用配線と前記第 2 の配線との間に介在する層間絶縁膜とを具備することを特徴とする。

【 0 0 3 6 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【 0 0 3 7 】

<第 1 の実施形態>

第 1 の実施形態に係るMRAMは、図 1 0 を参照して前述したようなMTJ 素子のアレイを有するものであり、複数の書き込み／読み出し用のビット線BL（第 1 の配線）と複数の書き込みワード線WWL（第 2 の配線）が直交方向に配設され、その各交点に対応してMTJ 素子が配設されている。

【 0 0 3 8 】

図 1 は、本発明の第 1 の実施形態に係るMRAMにおけるセルアレイの一部に沿って書き込みワード線に垂直な断面におけるメモリセルの 1 個分に着目してMTJ 素子部およびスイッチ用NMOSFET 部の構造の一例を示す断面図である。

【 0 0 3 9 】

図 2 は、図 1 中のビット線に垂直な断面における構造の一例を示す断面図である。

【 0 0 4 0 】

図 1 および図 2 において、10は半導体基板（例えばP 型Si基板）、11はシャロウトレンチ型の素子分離領域(STI)、12はゲート酸化膜、13はスイッチ素子用のNMOSFET のドレイン領域またはソース領域となる不純物拡散層(N+)、14はゲート電極GC（読み出しワード線RWL）、15は第 1 金属配線層(M1)、16は第 2 金属配線層(M2)、17a は第 3 金属配線層(M3)からなるMTJ 接続用配線、18は第 1 金属配線層15を拡散層13へ電氣的に接続するための導電性のコンタクト、19は第 2 金属配

線層16から第1金属配線層15へ電氣的に接続するための導電性のコンタクト、20は第3金属配線層17から第2金属配線層16へ電氣的に接続するための導電性のコンタクト、21aはMTJ素子、22は第4金属配線層(M4)、23は第4金属配線層22をMTJ素子21aへ電氣的に接続するための導電性のコンタクト、24は層間絶縁膜である。

【0041】

なお、図中、配線の用途として、(BL)は書き込み／読み出し用のビット線、(WL)は書き込みワード線、(SL)はソース線、(RWL)は読み出しワード線を表わしており、ソース線(SL)は接地電位に接続される。

【0042】

本例で使用されているMTJ素子21aは、図8を参照して前述した従来のMTJ素子と比べて、長方形（あるいは楕円形）の長辺軸を中心として短辺方向の中央部がビット線BLの方向に向かって膨らむ状態に、つまり上に凸となるように弯曲している点が異なり、その他は同じである。即ち、スピン可変側の自由層71とスピン固定側の固定層72との間にトンネルバリア膜73が挟まれた構造によってトンネル磁気抵抗効果を有する。そして、長辺が書き込みワード線WWLに沿い、短辺がビット線BLに沿い、長辺方向に沿うように書き込み容易軸（スピン方向）が付与されている。

【0043】

このMTJ素子21aの弯曲外面を覆うように導電性のハードマスク（例えばタンタルTa）25が形成され、MTJ素子21aとビット線BLはハードマスク25を介して導電性のコンタクト23により電氣的に接続されており、MTJ素子21aの弯曲内面に接するように金属（例えばタンタルTa）からなるMTJ接続用配線17aが形成されており、この接続用配線17aと書き込みワード線WWLとの間に層間絶縁膜24が介在している。この層間絶縁膜24は、MTJ素子21aの弯曲内面に対向する部分がそれに連なる他の部分よりもビット線BLの方向に向かって突出している。

【0044】

上記した第1の実施形態のMRAMは、MTJ素子21aの長辺方向（スピン方向）がビット線BLと直交しており、書き込みワード線WWLから発生する磁界曲線にほぼ

一致させるようにMTJ 素子21a を反らせている。これにより、彎曲状態のMTJ 素子21a の自由層71の幅方向（短辺方向）の中心部と端部で印加される磁界強度が等しくなる。結果として、反転磁界が低減され、書き込み効率が向上し、書き込み電流が低減される。この場合、MTJ 素子21a の自由層の幅方向の端部に印加される磁界強度を強めるために、彎曲状態のMTJ 素子21a の短辺の両先端間の弦の長さが書き込みワード線WWL の幅よりも広いことが望ましい。

【 0 0 4 5 】

図3は、図1および図2に示した構造の形成工程の一例の一部について書き込みワード線に垂直な断面における構造を示す断面図である。層間絶縁膜24は複数層の絶縁膜からなり、ここでは説明の簡単化のために一部241 のみ説明する。

【 0 0 4 6 】

まず、P 型Si基板10の表層部に選択的に素子分離領域STI 11を形成し、スイッチ用NMOSFET のゲート絶縁膜12、ゲート電極(GC)（読み出しワード線RWL ）14、N+拡散層13からなるドレイン領域およびソース領域を形成する。次に、ドレイン領域上およびソース領域上にコンタクト18を形成し、さらに第1 金属配線層(M1) 15を形成する。次に、第1 金属配線層15上にコンタクト19を形成し、さらに第2 金属配線層(M2)（例えばCu配線）16を形成し、600nm 程度の厚さの層間絶縁膜241（例えばHDP ）および300nm 程度の厚さの窒化シリコン(SiN) 膜31を堆積する。

【 0 0 4 7 】

次に、リソグラフィ技術および反応性イオンエッチング(RIE) 技術を用いてSiN 膜31を所望のパターン形状にし、このSiN 膜31のパターンをマスクとして層間絶縁膜241 を斜めに角度を持たせてエッチング加工（ミリング）する。

【 0 0 4 8 】

この場合、後でMTJ 素子21a を繰り返しパターンとして形成するために、MTJ 素子21a 相互間のスペース領域が溝となるように繰り返しパターンとして形成する。これにより、層間絶縁膜241 のうちで後工程でその上にMTJ 素子21a が形成される部分は、他の部分よりも上側に凸の状態になる。

【 0 0 4 9 】

次に、SiN 膜31のパターンを除去した後、図1中に示したように、第2金属配線層16上にコンタクト20を形成し、さらに第3金属配線層(M3) (例えばTa) 17aを30nm程度の厚さに堆積し、さらにMTJ 素子21a の各層を順次堆積し、さらに、ハードマスク (例えばTa) 25を150nm 程度の厚さに形成する。ここで、MTJ 素子21a の自由層は、通常、NiFeが使用されるが、CoNiFe,CoFe,CoCr,CoPt などを用いることも可能である。

【0050】

そして、リソグラフィー技術とRIE 技術を用いて、ハードマスク25およびMTJ 素子21a を所望のパターン形状に加工し、さらに、リソグラフィー技術とRIE 技術を用いて、第3金属配線層17a を所望のパターンに加工してMTJ 接続用配線を形成する。この場合、第3金属配線層17a の一部 (前述したように層間絶縁膜241のうちで上側に凸の状態の部分上に形成されている部分) およびその上に形成されているMTJ 素子21a は、それぞれ上側に凸の状態に彎曲している。

【0051】

次に、MTJ 素子21a の上面側のハードマスク25にコンタクトするコンタクト23および第4金属配線層(M4)22を形成する。

【0052】

なお、MTJ 素子21a とハードマスク25の厚さの比や材質の違いによる熱膨張係数の違いを利用して前記したように彎曲させることも可能である。

【0053】

図4は、図1中のMTJ 素子21a 部を取り出してその積層構造の一例について詳細に説明する。

【0054】

この積層構造は、図1中の第3金属配線層(M3)17a (例えばTa、30nm程度の厚さ) 上に、バッファ層70、反強磁性層74、固定層72、トンネルバリア膜73、自由層71、キャップ層75が順次積層されており、その上に図1中のハードマスク (例えばTa、150nm 程度の厚さ) 25が形成される。

【0055】

ここで、バッファ層70は、例えばRuからなり、3nm 程度の厚さである。反強磁

性層74は、例えばIrMnからなり、10nm程度の厚さである。固定層72は、例えばCoFeからなり、3nm程度の厚さである。トンネルバリア膜73は、例えば Al_2O_3 からなり、1.5nm程度の厚さである。自由層71は、例えばNiFeからなり、6nm程度の厚さである。キャップ層75は、例えばRuからなり、10nm程度の厚さである。

【0056】

MTJ素子21a部のサイズの一例として、短辺方向の幅Wが $0.4\ \mu\text{m}$ 、長辺方向の長さLが $1.2\ \mu\text{m}$ とすると、短辺方向の中央の頂点Aに対して両端Bがそれぞれ例えば5nm低くなるように上側に凸の状態に弯曲しており、その場合の曲率半径は $4\ \mu\text{m}$ 程度である。

【0057】

<第2の実施形態>

第2の実施形態に係るMRAMは、図10を参照して前述したようなMTJ素子のアレイを有するものであり、複数の書き込み／読み出し用のビット線BL（第1の配線）と複数の書き込みワード線WWL（第2の配線）が直交方向に配設され、その各交点に対応してMTJ素子21bが配設されている。

【0058】

図5は、本発明の第2の実施形態に係るMRAMにおけるセルアレイの一部に沿ってビット線に垂直な断面における構造の一例を示す断面図である。

【0059】

図6は、図5中の書き込みワード線に垂直な断面におけるメモリセルの1個分に着目してMTJ素子部およびスイッチ用NMOSFET部の構造の一例を示す断面図である。

【0060】

図5および図6に示す構造は、図1および図2に示した構造と比べて、MTJ素子21bの弯曲状態が異なり、その他は同じであるので図1中および図2中と同じ符号を付してその説明を省略する。

【0061】

即ち、本例で使用されているMTJ素子21bは、長方形（あるいは楕円形）の短辺軸を中心として長辺方向の中央部が書き込みワード線WWLの方向に向かって膨

らむ状態に、つまり下に凸となるように弯曲している。即ち、図 8 に示したように、スピン可変側の自由層71とスピン固定側の固定層72との間にトンネルバリア膜73が挟まれた構造によってトンネル磁気抵抗効果を有する。そして、長辺が書き込みワード線WWL に沿い、短辺がビット線BLに沿い、長辺方向に沿うように書き込み容易軸（スピン方向）が付与されている。

【 0 0 6 2 】

このMTJ 素子21b の弯曲内面を覆うように導電性のハードマスク（例えばタンタルTa）26が形成され、MTJ 素子21b とビット線BLはハードマスク26を介して導電性のコンタクト23により電氣的に接続されており、MTJ 素子21b の弯曲外面に接するように金属（例えばタンタルTa）からなるMTJ 接続用配線17b が形成されており、この接続用配線17b と書き込みワード線WWL との間に層間絶縁膜24の一部が介在している。この層間絶縁膜24の一部は、MTJ 素子21b の弯曲内外に対向する部分がそれに連なる他の部分よりも書き込みワード線WWL の方向に向かって凹没している。

【 0 0 6 3 】

上記した第 2 の実施形態のMRAMは、MTJ 素子21b の長辺方向（スピン方向）がビット線BLと直交しており、ビット線BLから発生する磁界曲線にほぼ一致させるようにMTJ 素子21b を反らせている。これにより、弯曲状態のMTJ 素子21b の自由層の長さ方向（長辺方向）の中心部と端部で印加される磁界強度が等しくなる。結果として、反転磁界が低減され、書き込み効率が向上し、書き込み電流が低減される。この場合、MTJ 素子21b の自由層の長さ方向の端部に印加される磁界強度を強めるために、弯曲状態のMTJ 素子21b の長辺の両先端間の弦の長さがビット線BLの幅よりも広いことが望ましい。

【 0 0 6 4 】

図 7 は、図 5 および図 6 に示した構造の形成工程の一例の一部についてビット線に垂直な断面における構造を示す断面図である。層間絶縁膜24は複数層の絶縁膜からなり、ここでは説明の簡単化のために一部241 のみ説明する。

【 0 0 6 5 】

まず、P 型Si基板10の表層部に選択的に素子分離領域STI 11を形成し、スイッ

チ用NMOSFET のゲート絶縁膜12、ゲート電極(GC) (読み出しワード線RWL) 14、N+拡散層13からなるドレイン領域およびソース領域を形成する。次に、ドレイン領域上およびソース領域上にコンタクト18を形成し、さらに第1金属配線層(M1) 15を形成する。次に、第1金属配線層15上にコンタクト19を形成し、さらに第2金属配線層(M2) (例えばCu配線) 16を形成し、600nm 程度の厚さの層間絶縁膜241 (例えばHDP) および300nm 程度の厚さの窒化シリコン(SiN) 膜31を堆積する。

【 0 0 6 6 】

次に、リソグラフィー技術およびRIE 技術を用いてSiN 膜31を所望のパターン形状にし、このSiN 膜31のパターンをマスクとして層間絶縁膜241 を斜めに角度を持たせてエッチング加工(ミリング) する。この場合、後でMTJ 素子21b を繰り返しパターンとして形成するために、MTJ 素子21b の配置予定領域が溝となるように繰り返しパターンとして形成する。

【 0 0 6 7 】

次に、SiN 膜31のパターンを除去した後、図5中に示したように、第2金属配線層16上にコンタクト20を形成し、さらに第3金属配線層(M3) (例えばTa) 17a を30nm程度の厚さに堆積し、さらにMTJ 素子21b の各層を順次堆積し、さらに、ハードマスク(例えばTa) 26を150nm 程度の厚さに形成する。ここで、MTJ 素子21b の自由層は、通常、NiFeが使用されるが、CoNiFe,CoFe,CoCr,CoPt などを用いることも可能である。

【 0 0 6 8 】

そして、リソグラフィー技術とRIE 技術を用いて、ハードマスク26およびMTJ 素子21b を所望のパターン形状に加工し、さらに、リソグラフィー技術とRIE 技術を用いて、第3金属配線層17b を所望のパターンに加工してMTJ 接続用配線を形成する。

【 0 0 6 9 】

次に、MTJ 素子21b の上面側のハードマスク26にコンタクトするコンタクト23 および第4金属配線層(M4) 22を形成する。

【 0 0 7 0 】

なお、MTJ 素子21b とハードマスク26の厚さの比や材質の違いによる熱膨脹係数の違いを利用して前記したように弯曲させることも可能である。

【0071】

また、前記各実施形態において、大容量化、高密度実装のために、複数のMTJ素子が行列状に配置されたメモリセルアレイ、複数本の書き込みワード線WWL、複数本のビット線BLなどにより1つのセルアレイユニットを構成し、複数のセルアレイユニットを半導体基板上に積み重ねてセルアレイ積層構造を構成することも可能である。

【0072】

また、本発明は、前記各実施形態におけるMTJ素子の記録層が多層構造からなる場合にも適用可能である。

【0073】

【発明の効果】

上述したように本発明の磁気ランダムアクセスメモリによれば、書き込み電流を低減させることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るMRAMにおけるセルアレイの一部に沿って書き込みワード線に垂直な断面におけるメモリセルの1個分に着目してMTJ素子部およびスイッチ用NMOSFET部の構造の一例を示す断面図。

【図2】 図1中のビット線に垂直な断面における構造の一例を示す断面図。

【図3】 図1および図2に示した構造の形成工程の一例の一部について書き込みワード線に垂直な断面における構造を示す断面図。

【図4】 図1中のMTJ素子部を取り出してその積層構造の一例を詳細に示す断面図。

【図5】 本発明の第2の実施形態に係るMRAMにおけるセルアレイの一部に沿ってビット線に垂直な断面における構造の一例を示す断面図。

【図6】 図5中の書き込みワード線に垂直な断面におけるメモリセルの1個分に着目してMTJ素子部およびスイッチ用NMOSFET部の構造の一例を示す断面

図。

【図 7】 図 5 および図 6 に示した構造の形成工程の一例の一部についてビット線に垂直な断面における構造を示す断面図。

【図 8】 従来のMRAMで用いられるMTJ 素子の構造を概略的に示す断面図。

【図 9】 図 8 中のMTJ 素子の 2 つの磁性層のスピンを示す図。

【図 1 0】 MRAMのセルアレイの一部の平面的なレイアウトの一例を模式的に示す図。

【図 1 1】 図 1 0 中の A - A 線に沿ってメモリセルの 1 個分に着目して断面構造の一例を模式的に示す図。

【図 1 2】 図 1 0 中の B - B 線に沿ってメモリセルの 1 個分に着目して断面構造の一例を模式的に示す図。

【図 1 3】 MTJ 素子の印加磁界の反転による抵抗値の変化特性 (TMR 曲線) を示す特性図。

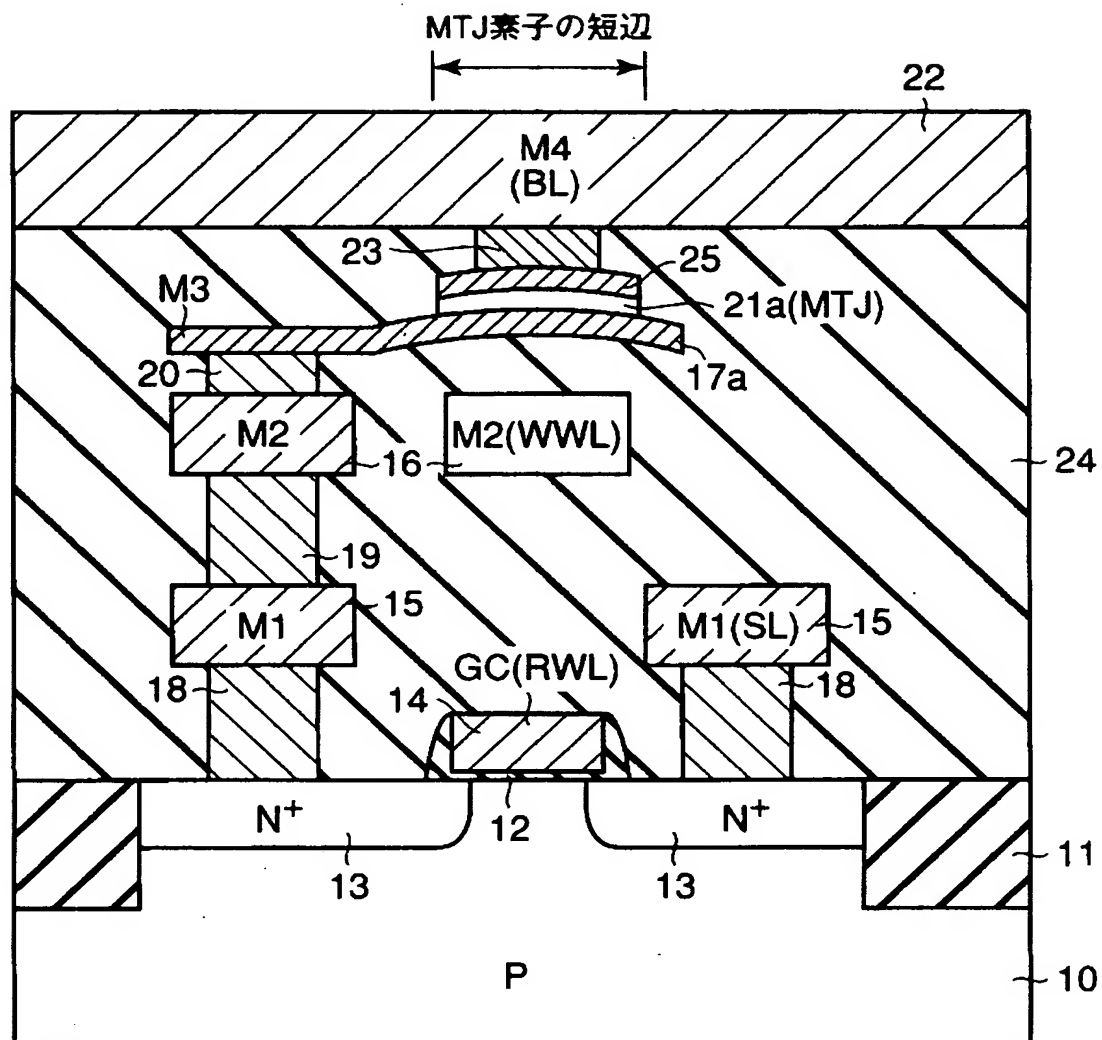
【図 1 4】 MTJ 素子のアステロイド曲線を示す特性図。

【符号の説明】

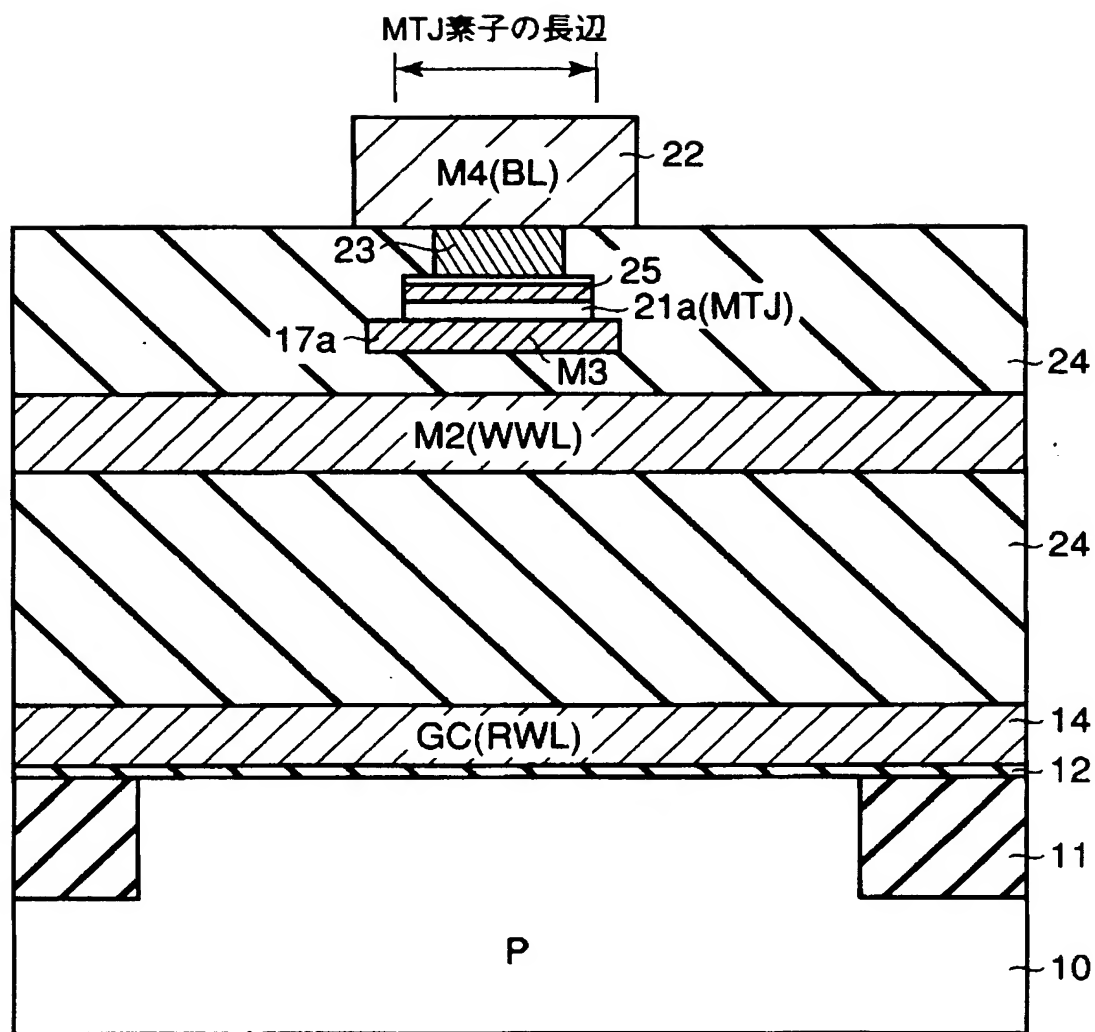
10…半導体基板 (P 型Si基板)、11…素子分離領域、12…ゲート酸化膜、13…ドレイン領域またはソース領域となる不純物拡散層 (N+)、14…ゲート電極、15…第 1 金属配線層、16…第 2 金属配線層、17a …第 3 金属配線層 (例えばタンタルTa) からなるMTJ 接続用配線、18,19,20,23 …コンタクト、21a …MTJ 素子、22…第 4 金属配線層、24…層間絶縁膜、25…導電性のハードマスク (例えばタンタルTa)、(BL)…ビット線、(WWL) …書き込みワード線、(SL)…ソース線、(RWL) …読み出しワード線。

【書類名】 図面

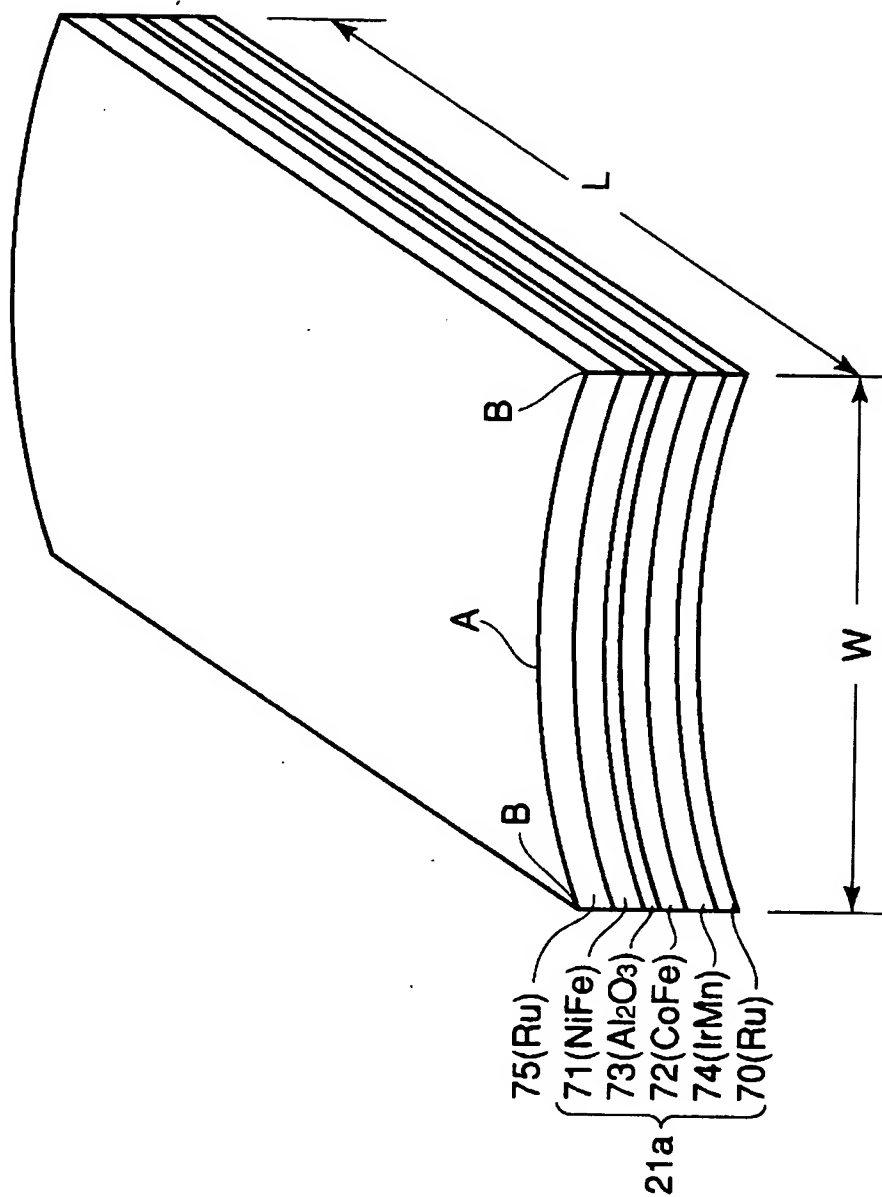
【図 1】



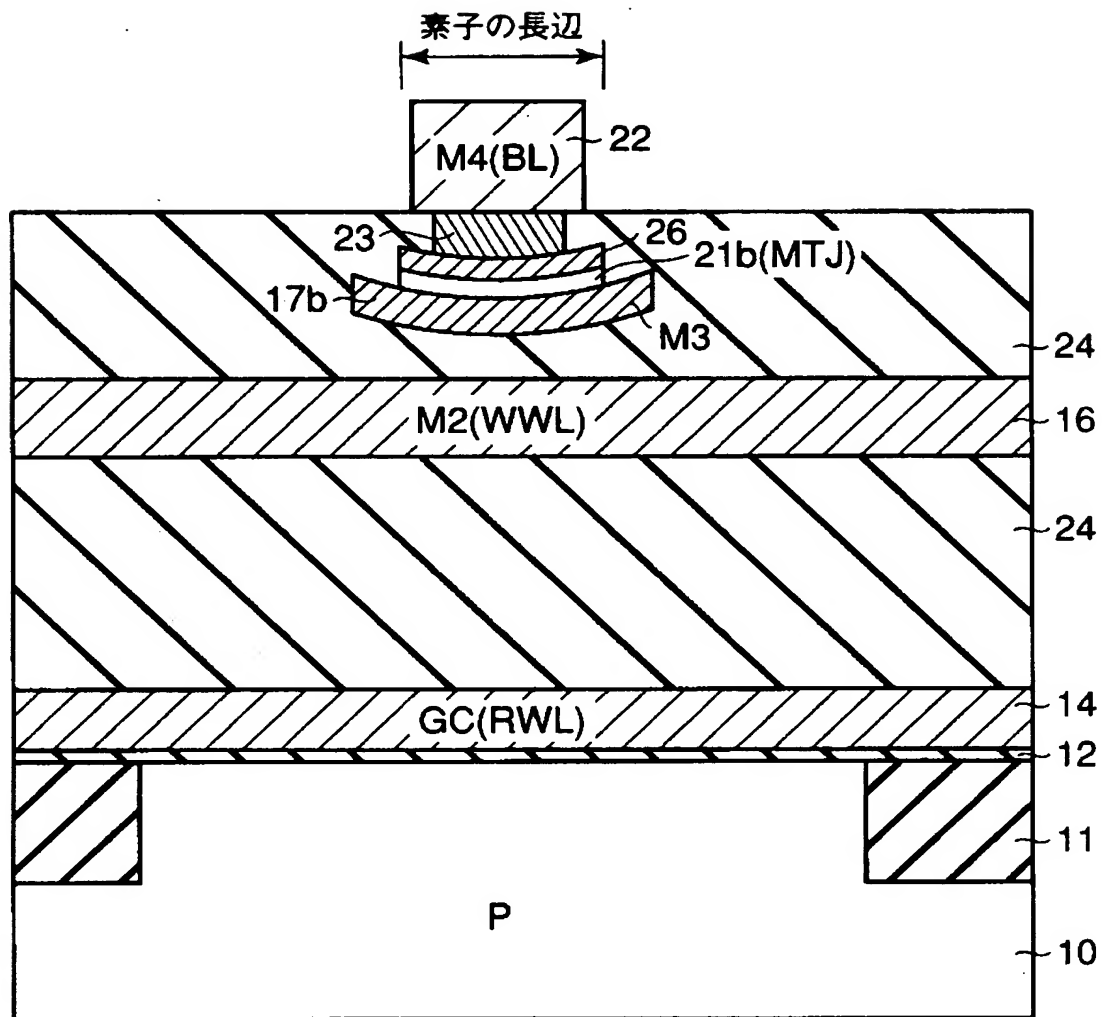
【図 2】



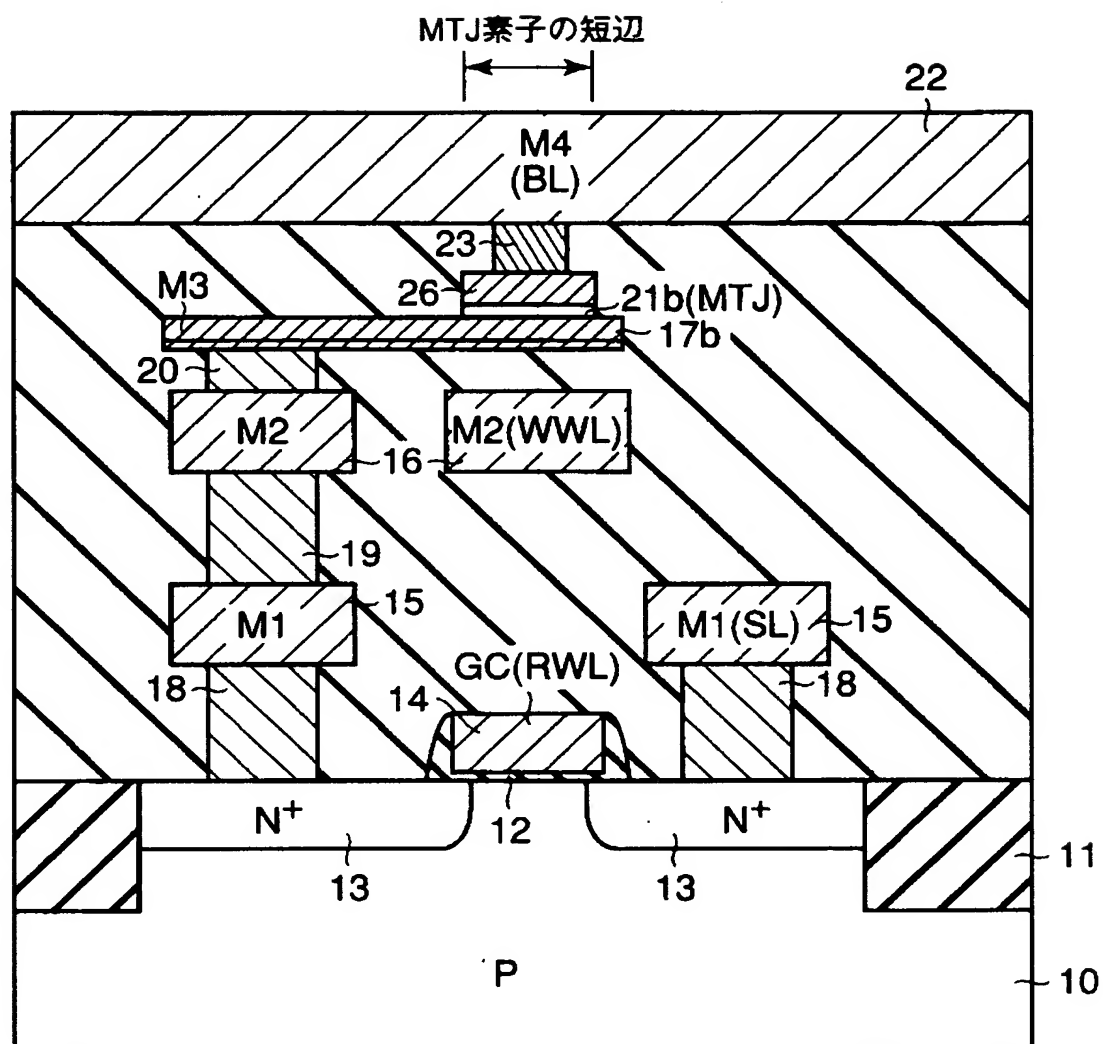
【図4】



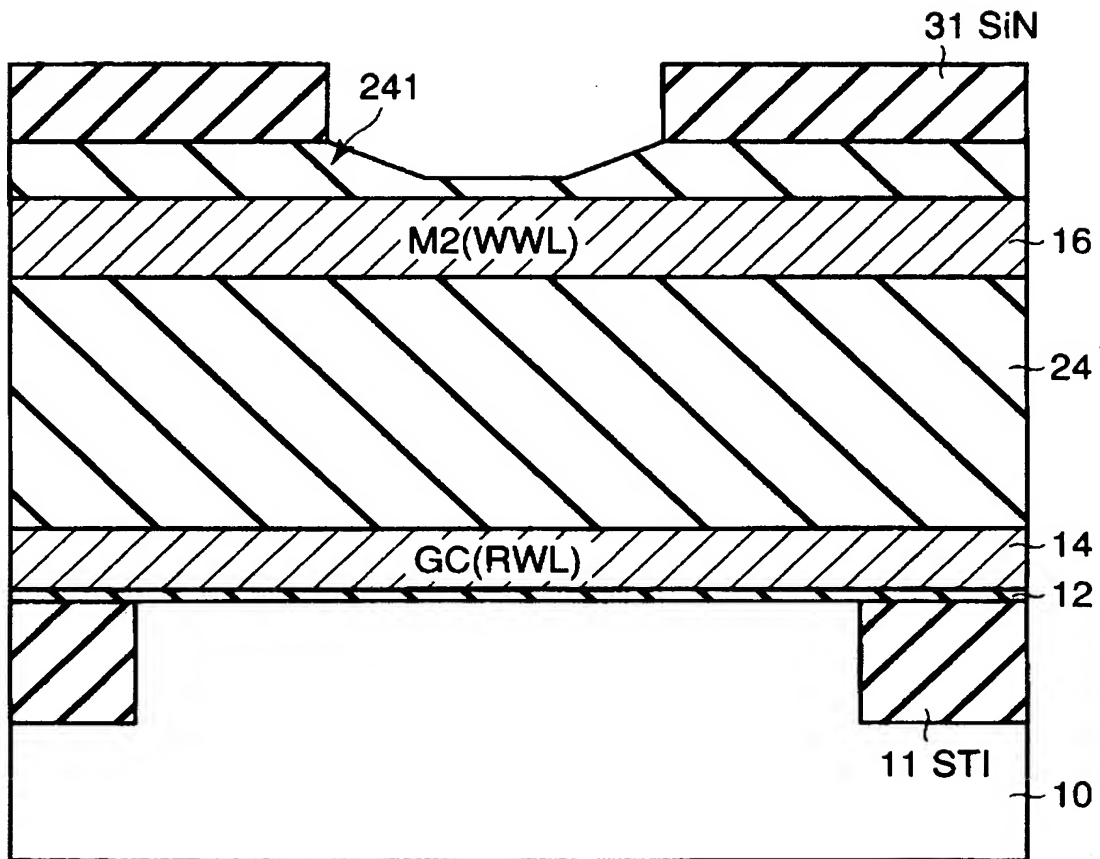
【図 5】



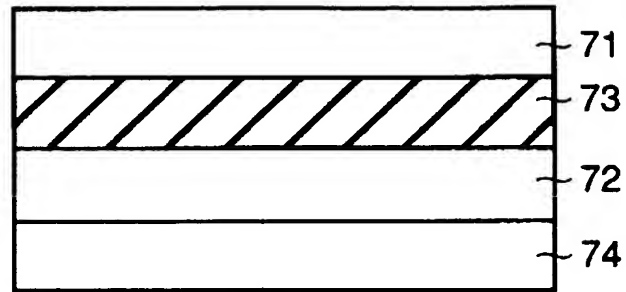
【图 6】



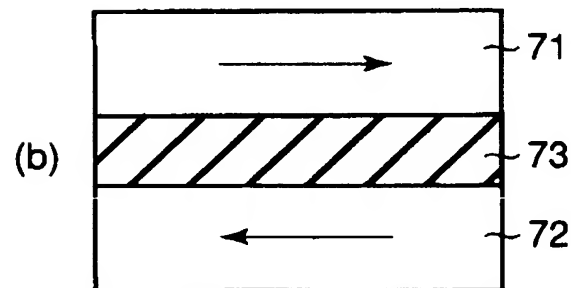
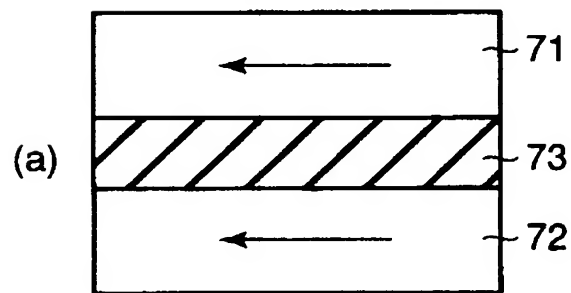
【図 7】



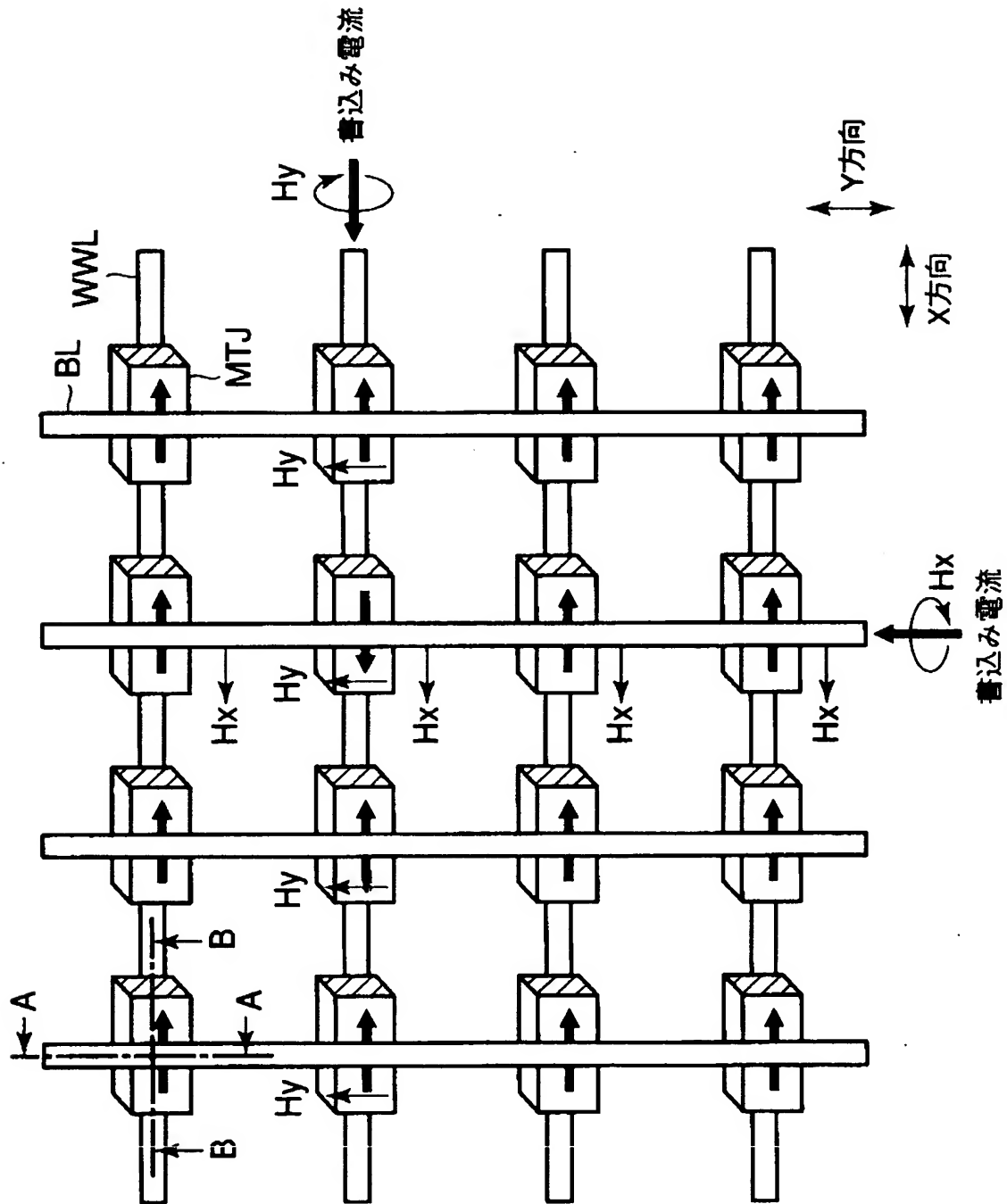
【図 8】



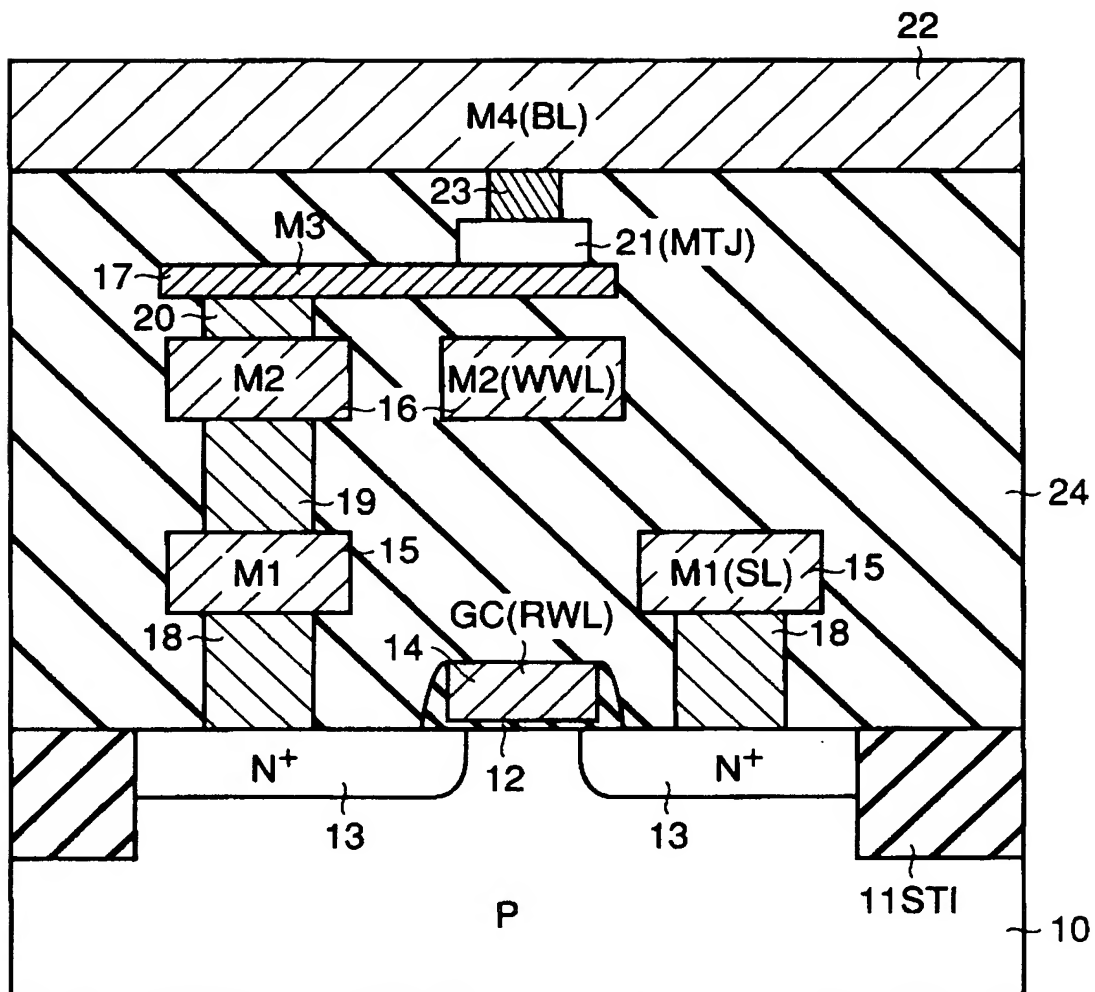
【図 9】



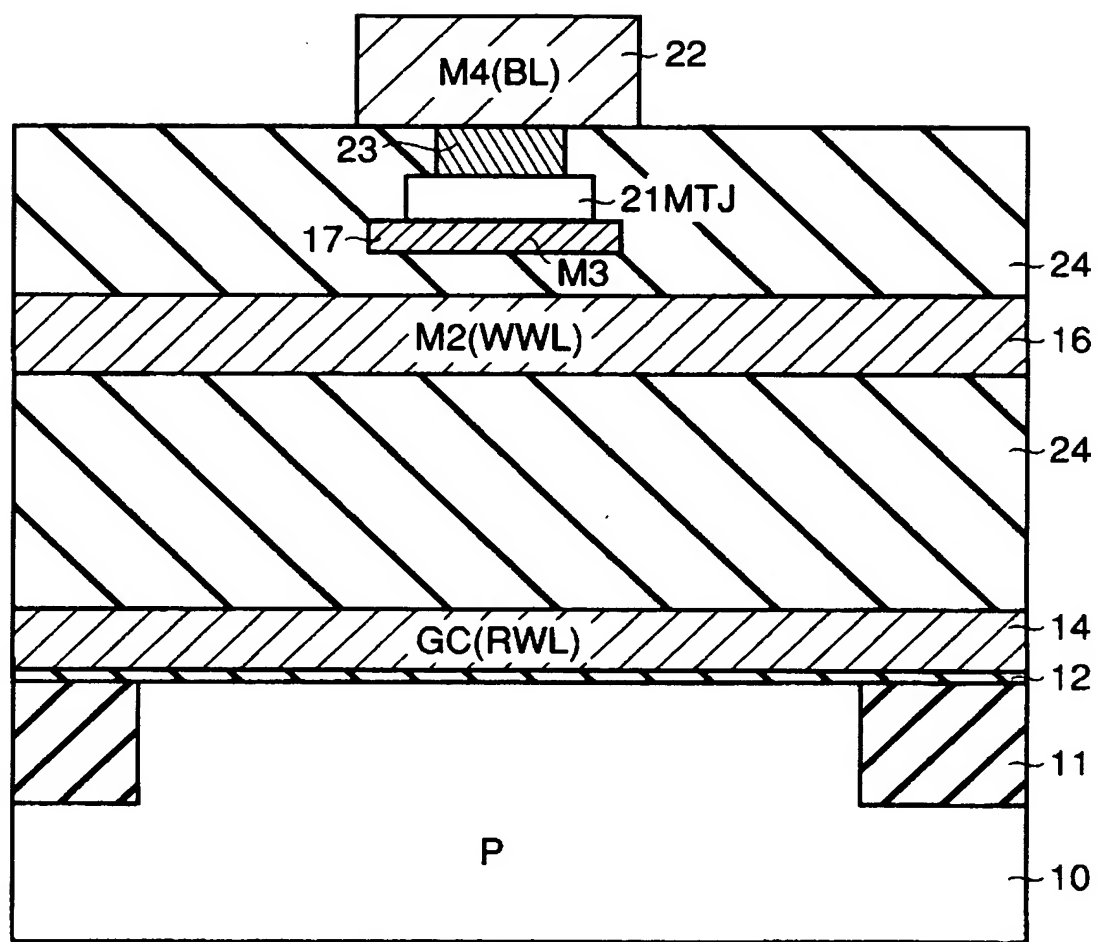
【図 10】



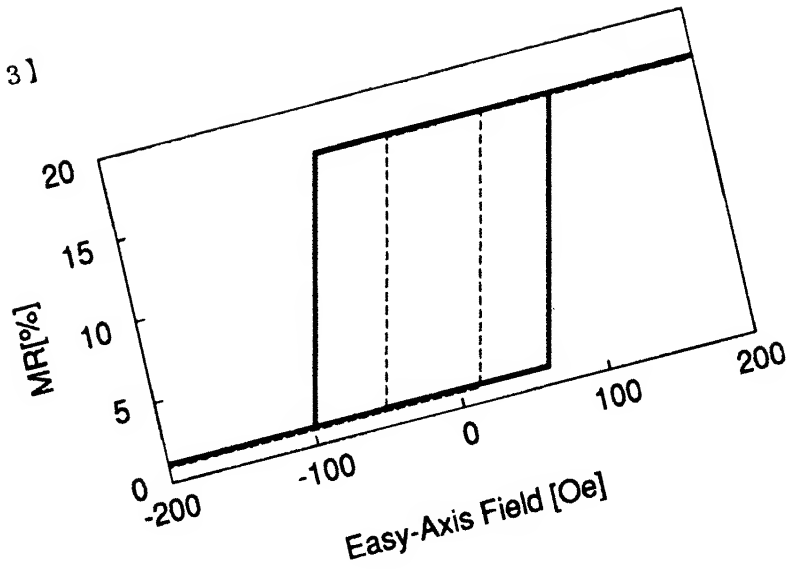
【図 1 1】



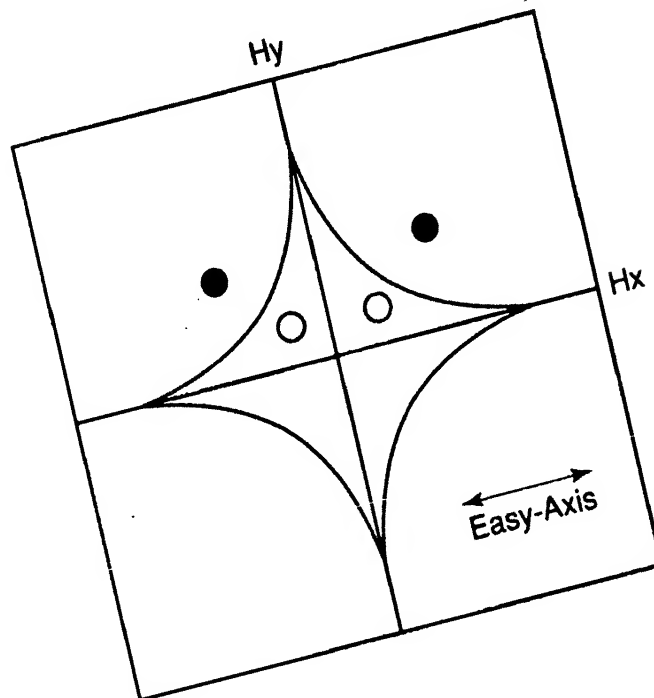
【図 12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 トンネル型磁気抵抗効果を有するMTJ 素子の自由層の中心部と端部で印加される書き込み磁界強度を等しくし、反転磁界による書き込み効率の低下を抑制し、書き込み電流を低減し、書き込み効率を向上させる。

【解決手段】 非磁性層を挟持した二層の磁性層からなるMTJ 素子の二層の磁性層の磁化配列状態により変化する抵抗値を“0”／“1”の記憶情報に対応させるMTJ 素子に近接配置した書きこみ配線WWL に電流を流して誘導磁束を発生させ、MTJ 素子の自由層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリにおいて、書き込み配線から発生する磁界曲線にほぼ一致させるようにMTJ 素子を反らせる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝